

*Computación Reconfigurable y Aplicaciones*

---

# **COMPUTACIÓN RECONFIGURABLE Y APLICACIONES**

**Juan Antonio Gómez Pulido  
Juan Manuel Sánchez Pérez  
Miguel Ángel Vega Rodríguez**

**Editores**



*Grupo de Arquitectura de Computadores y Diseño Lógico (ARCO)  
Universidad de Extremadura*

Es una  
los n  
Recon  
septie

Las JC  
Recon  
propor  
forma,  
abanic

Se ha  
cientifi  
sino t  
aplica  
ser mi  
grupos

Finaliz  
el est  
Compi  
señale  
prototi  
difusió  
Compi

Los Ec

Cácer

Título: COMPUTACIÓN RECONFIGURABLE  
Y APLICACIONES

Editores: Juan Antonio Gómez Pulido  
Juan Manuel Sánchez Pérez  
Miguel Ángel Vega Rodríguez

Grupo de Arquitectura de Computadores y Diseño Lógico  
Universidad de Extremadura

I.S.B.N.-10: 84-611-1315-2  
I.S.B.N.-13: 978-84-611-1315-6

Imprime: Gráficas Batanero. Cáceres

(c) Reservados todos los derechos. Ni la totalidad ni parte de este libro puede reproducirse o transmitirse por ningún procedimiento electrónico, óptico o mecánico, incluyendo fotocopia, grabación magnética o cualquier sistema de almacenamiento de información o de reproducción, sin permiso previo y por escrito de los editores, titulares del *Copyright*.

## Índice

### **Capítulo 1: Arquitecturas ..... 9**

|                                                                                                            |    |
|------------------------------------------------------------------------------------------------------------|----|
| TUTORIAL - Sistemas Embebidos Avanzados en FPGAs .....                                                     | 11 |
| Implementación de sistemas integrados Linux basados en el procesador Leon 2.....                           | 21 |
| TAC: Controlador de auto-reconfiguración embebido para sistemas SoPC.....                                  | 27 |
| Diseño System-on-Chip de la capa de enlace alta para nodos esclavos de bus MVB.....                        | 33 |
| Sistemas MPSoC en FPGAs .....                                                                              | 39 |
| El desarrollo de los microprocesadores <i>Self-Timed</i> implementados en <i>full custom</i> y FPGAs.....  | 45 |
| Diseño e Implementación del Microprocesador MACC <i>Self-Timed</i> en FPGAs .....                          | 51 |
| XPIN-Board: A Dynamically Reconfigurable Platform for Pervasive Systems.....                               | 57 |
| Evaluación de rendimiento de multiplicadores asíncronos en FPGAs.....                                      | 63 |
| Metodología de codiseño hardware-software para la computación paralela distribuida dentro de un chip ..... | 69 |
| Arquitecturas PSoC autoreconfigurables .....                                                               | 75 |
| Estructura multiplicadora reusable para DSP sobre FPGAs.....                                               | 79 |

### **Capítulo 2: Criptografía..... 85**

|                                                                                                                          |    |
|--------------------------------------------------------------------------------------------------------------------------|----|
| The use of runtime reconfiguration on FPGA circuits to increase the performance of the AES algorithm implementation..... | 87 |
| Implementación mediante Reconfiguración Dinámica y Parcial del Algoritmo Criptográfico IDEA usando Handel-C .....        | 93 |

### **Capítulo 3: Lenguajes y algoritmos ..... 99**

|                                                                                                        |     |
|--------------------------------------------------------------------------------------------------------|-----|
| Algoritmos no sistólicos para la multiplicación de matrices en FPGA's.....                             | 101 |
| Análisis de errores en una arquitectura CORDIC orientada al cálculo de Autovalores y Autovectores .... | 107 |

|                                                                                          |     |
|------------------------------------------------------------------------------------------|-----|
| Modelación hardware de un autómata celular: el caso del Juego de la Vida de Conway ..... | 113 |
| Traducción automática de JHDL a VHDL .....                                               | 119 |
| Síntesis de Unidades Funcionales para Soft-Cores desde un modelo C/C++ .....             | 127 |

## **Capítulo 4: Robótica y control..... 133**

|                                                                                                                     |     |
|---------------------------------------------------------------------------------------------------------------------|-----|
| Plataforma para el Estudio del Control de Robots Balanceados de Dos Ruedas Mediante FPGAs .....                     | 135 |
| Controlador SoPC de intensidad luminosa basado en algoritmos genéticos para locales con fuentes de luz mixtas ..... | 141 |
| WellMerit: Robot experimental con visión estéreo .....                                                              | 147 |
| Diseño de una Baliza Ultrasónica para un Sistema de Posicionamiento Local .....                                     | 153 |
| Controlador hardware basado en lógica reconfigurable para maqueta tipo "ball and beam" .....                        | 159 |

## **Capítulo 5: Señales, redes y comunicaciones..... 165**

|                                                                                                                                           |     |
|-------------------------------------------------------------------------------------------------------------------------------------------|-----|
| Implementación Hardware de un Correlador Eficiente de Macrosecuencias generadas a partir de Conjuntos Complementarios de Secuencias ..... | 167 |
| Evaluación de arquitecturas para la implementación eficiente sobre FPGA de la Transformada Wavelet Discreta .....                         | 173 |
| Implementación de SSH sobre un Sistema Auto-Reconfigurable.....                                                                           | 179 |
| Estudio de la implementación en FPGAs de algoritmos PHM / DPHM para conmutadores de paquetes de altas prestaciones .....                  | 185 |
| Arquitectura e implementación de un Servidor que garantice QoS en Redes de Altas Prestaciones.....                                        | 191 |
| Diseño de un Modelo Oculto de Markov reusable para su integración en un Sistema de Reconocimiento de Voz Aislado .....                    | 197 |
| Comparativa de desarrollo de la capa PHY de un transceiver ZigBee .....                                                                   | 203 |

## **Capítulo 6: Prototipado, aplicaciones y herramientas..... 209**

|                                                                          |     |
|--------------------------------------------------------------------------|-----|
| TUTORIAL - Técnicas de Depuración Hardware.....                          | 211 |
| FPGA prototype board for measuring the real PCI DMA performance .....    | 217 |
| Implementación del Módulo de Detección de un Sistema Sónar Avanzado..... | 223 |

|           |                                                                                                                                                                     |            |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|
| 113       | Módulo de sonido 3D en hardware reconfigurable .....                                                                                                                | 229        |
| 119       | Exploración del Espacio de Diseño para un Cancelador de Ruido.....                                                                                                  | 235        |
| 127       | Co-diseño, Co-simulación e Implementación en DSM , Handel-C y Visual Studio .Net de un Sistema de Tratamiento de Imágenes Digitales para la plataforma RC2000 ..... | 243        |
| <b>33</b> | <b>Capítulo 7: Visión .....</b>                                                                                                                                     | <b>249</b> |
| 135       | TUTORIAL - Introducción a técnicas de procesamiento de imágenes con FPGAs .....                                                                                     | 251        |
| 141       | TUTORIAL - Sistemas de Visión de altas prestaciones en FPGA.....                                                                                                    | 261        |
| 147       | Evaluación de prestaciones y limitaciones de la implementación de un sistema de visión en un chip reconfigurable .....                                              | 263        |
| 153       | Convolución 3x3 de alta eficiencia para el diseño de aplicaciones de procesamiento de video a alto nivel .....                                                      | 269        |
| 159       | Análisis y diseño de una arquitectura súpersegmentada de altas prestaciones para estimación de movimiento.....                                                      | 275        |
| <b>65</b> | Implementación en Handel-C y plataforma RC2000 de un Proveedor de Servicios Biométrico .....                                                                        | 281        |
| 167       | Diseño e Implementación del algoritmo Fast Pixel Purity Index para la extracción de Endmembers de Imágenes Hiperespectrales utilizando FPGAs.....                   | 287        |
| 173       |                                                                                                                                                                     |            |
| 179       |                                                                                                                                                                     |            |
| de        |                                                                                                                                                                     |            |
| 185       |                                                                                                                                                                     |            |
| 191       |                                                                                                                                                                     |            |
| o         |                                                                                                                                                                     |            |
| 197       |                                                                                                                                                                     |            |
| 203       |                                                                                                                                                                     |            |
| <b>09</b> |                                                                                                                                                                     |            |
| 211       |                                                                                                                                                                     |            |
| 217       |                                                                                                                                                                     |            |
| 223       |                                                                                                                                                                     |            |

## Diseño de una Baliza Ultrasónica para un Sistema de Posicionamiento Local

A. Jiménez, A. Hernández, J. Ureña, C. De Marziani, F. Álvarez, M. Alonso,  
M.C. Pérez, M. Mazo, J. M. Villadangos, J. J. García, L. Pérez

Departamento de Electrónica  
Universidad de Alcalá  
Campus Universitario s/n, E.P.S., E-28806 Alcalá de Henares (Madrid).  
{ajimenez, alvaro, urena}@depeca.uah.es

**Resumen:** Recientemente, los espacios inteligentes han cobrado una cierta relevancia, especialmente en el diseño de sistemas de posicionamiento local que puedan ser utilizados para dotar de mayor autonomía a robots móviles, o como control de acceso en robots y/o personas. Una de las tecnologías empleadas habitualmente en el desarrollo de estos sistemas de posicionamiento son los transductores ultrasónicos. Éstos se constituyen normalmente en una red de balizas ubicadas en el entorno, de forma que un receptor pueda conocer su posición a partir de la identificación de las diferentes emisiones realizadas por aquéllas. En este trabajo se presenta un sistema de balizamiento flexible y adaptable, en el cual la implementación de los diferentes algoritmos de control y procesamiento es realizada en un dispositivo FPGA.

### 1. Introducción

En los últimos años se ha venido desarrollando un interés creciente por los espacios inteligentes. Entre las diversas posibilidades, son numerosos los trabajos y esfuerzos por desarrollar sistemas sensoriales y de computación que, instalados en espacios interiores, pueden proporcionar un amplio rango de movilidad y control a robots móviles o a personas [1] [2].

Particularmente, los sistemas de posicionamiento local LPS (*Local Positioning System*) permiten a los robots móviles conocer su posición exacta dentro de un determinado entorno, o controlar la presencia de personas y su acceso a diferentes áreas del espacio inteligente.

Uno de los primeros LPS de interiores es el Active Badge [3], desarrollado por Olivetti Labs,

y basado en señales infrarrojas para la localización de objetos y personas. Más recientemente, AT&T desarrolló el ActiveBat [4], el cual emplea señales ultrasónicas para la localización de objetos a partir de la medida de tiempos de vuelo (TDV). Otros proyectos, como CRICKET [5], pueden combinar ambas tecnologías, ultrasonidos e infrarrojos, junto con señales de radiofrecuencia (RF). El sistema desarrollado por Microsoft, RADAR [6], es otro ejemplo que determina distancias y posiciones a partir de señales de RF de redes inalámbricas.

En la mayoría de los casos, los sistemas de localización se basan en la determinación de TDVs de señales acústicas, que a veces se sincronizan con señales de RF. Sin embargo, el uso de señales de RF conlleva una serie de desventajas (potencia de consumo, interferencias, etc.), por lo que es interesante desarrollar sistemas donde sólo se utilicen emisiones acústicas. Con este propósito deberían tenerse en cuenta una serie de consideraciones:

- Empleo de señales acústicas de baja potencia.
- Adaptación de las condiciones ambientales, incluyendo técnicas de ecualización.
- Codificación de la señal acústica para poder realizar emisiones múltiples.
- Desarrollo de algoritmos para la interacción entre diferentes objetos o nodos en el sistema.

Este trabajo propone el diseño de una baliza de ultrasonidos para el desarrollo de un sistema de posicionamiento local (LPS). La implementación de dicha baliza se realizará en una FPGA de bajo coste, de forma que su modo de operación pueda ser modificado en tiempo real para así adaptar el sistema a diferentes circunstancias. En la sección

2, se describe el sistema de posicionamiento LPS propuesto, y en la sección 3 se aborda el diseño de la baliza. La sección 4 describe la estructura hardware y el modo de operación de las distintas balizas. Algunos de los resultados obtenidos, así como algunas consideraciones, se muestran en la sección 5. Finalmente, la sección 6 recoge las conclusiones más relevantes.

## 2. Sistema de posicionamiento local (LPS)

Los sistemas de posicionamiento local tridimensional para robots móviles, basados en sistemas de balizas de señales ultrasónicas, han sido ampliamente estudiados [7] [8]. En la mayoría de los casos existen dos alternativas de trabajo que se diferencian en la ubicación de los emisores y los receptores ultrasónicos. En el primer caso, el robot, dotado con un emisor ultrasónico, transmite un pulso que es detectado por alguna de las balizas del entorno inteligente. En este caso las balizas actúan únicamente como receptores, midiendo los TDVs. Este modelo requiere de una unidad de control y procesamiento que recopile los TDVs calculados en cada baliza y obtenga así la posición del robot [9].

En la segunda opción cada baliza se configura como emisor, mientras el receptor está instalado en el robot móvil. Las balizas suelen emitir simultáneamente (multi-modo), mientras el robot determina las diferencias de tiempo de vuelo (DTDV) entre las emisiones recibidas. Es necesaria la sincronización en la emisión de las distintas balizas, para lo cual se suelen emplear señales de RF o señales infrarrojas codificadas emitidas desde una baliza predeterminada [10].

El LPS empleado sigue esta segunda metodología pero, para evitar tener que incluir otro tipo de señal para la sincronización, las balizas llevan a cabo una emisión continua. El receptor a bordo del robot detecta las distintas emisiones y determina las DTDVs de cada baliza respecto de una de referencia (la más próxima), para así estimar su posición. Este método también evita que el robot tenga que conocer el instante de emisión, siendo sólo necesaria la sincronización entre balizas.

Para solventar las interferencias cruzadas que pueden aparecer entre las balizas al emitir simultáneamente, se emplean técnicas de Acceso Múltiple por División de Código mediante

Secuencias Directas, DS-CDMA (*Direct Sequence Code Division Multiple Access*). Estas técnicas se basan en la codificación de la señal ultrasónica para cada una de las balizas. Los diversos códigos asignados a cada baliza deben tener entre sí una baja o nula correlación cruzada para evitar interferencias mutuas en la recepción, así como una elevada auto-correlación para mejorar su detección. Entre las distintas posibilidades propuestas en la literatura destacan las basadas en codificación binaria, como secuencias pseudo-aleatorias [11] [12], Barker [13] [14], o conjuntos complementarios de secuencias [15]. De hecho, en trabajos previos, ya ha sido demostrada la utilidad de un código Gold de 511 bits para posicionamiento [8] [16] [17].

Otro aspecto a considerar es la adaptación de la secuencia binaria elegida a la respuesta del transductor empleado, lo cual puede requerir de un proceso de modulación. Dicho proceso admite nuevamente distintas posibilidades: desde el esquema de modulación empleado hasta el tipo de portadora elegida.

El sistema LPS propuesto en este trabajo consiste en una red de balizas ultrasónicas conectadas a través de un bus I2C, como muestra esquemáticamente la figura 1. Una de ellas, definida como maestra, tiene la posibilidad de enlazar con un PC, a través del puerto paralelo en modo EPP (*Enhanced Parallel Port*), para poder recibir la configuración y modo de operación del sistema. Esta baliza maestra es además la que controla la distribución de la configuración de cada una de las balizas a través del bus I2C. La figura 2 muestra una visión general del LPS.

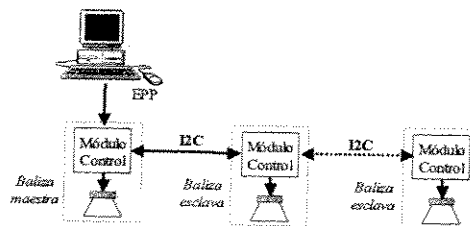


Figura 1. Diagrama de bloques del sistema de balizas.



Figura 2. A.

## 3. Diseño

El sistema emisor estratégico por éstos. C baliza cons reducido n emisión ult comunicaci

El trar modelo cc extendido. de emisión señal bina mediante

(Binary Ph

Según emisión v siguientes c

• Atendier

▪ El

▪ Gol

▪ La

(nú

• Atendier

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

▪ El

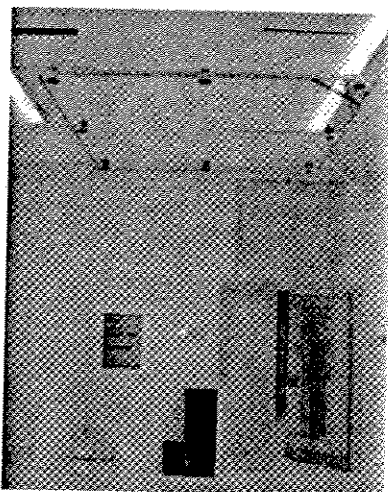


Figura 2. Aspecto físico del sistema LPS desarrollado.

### 3. Diseño de la baliza ultrasónica

El sistema de balizas consiste en  $p$  transductores emisores de ultrasonidos distribuidos estratégicamente para maximizar el área cubierta por éstos. Como se desprende de la figura 1, cada baliza consta de un transductor ultrasónico y de un reducido módulo de control, encargado de la emisión ultrasónica y de gestionar los puertos de comunicación.

El transductor ultrasónico utilizado es el modelo comercial Polaroid [18] ampliamente extendido. Éste se caracteriza por una frecuencia de emisión a 50kHz, lo que obliga a centrar la señal binaria codificada a dicha frecuencia mediante un proceso de modulación BPSK (*Binary Phase Shift Keying*).

Según lo descrito previamente, el código de emisión viene determinado a través de las siguientes características:

- Atendiendo a la codificación:
  - El tipo de secuencia binaria utilizada: Gold, Kasami, secuencias-m, etc.
  - La longitud  $L$  de la secuencia binaria (número de bits).
- Atendiendo al proceso de modulación:
  - El tipo de portadora utilizada en la modulación. Es posible simplificar el proceso de modulación empleando una portadora digital cuadrada; sin embargo, si se desea ajustar correctamente la

frecuencia de respuesta es necesario la utilización de una portadora sinusoidal.

- La precisión en la generación de la portadora, la cual se representa por el número de muestras  $M$ .
- Finalmente, el número  $N_c$  de periodos emitidos de la portadora por bit de la secuencia binaria. Este valor modifica la energía transmitida, así como el ancho de banda.

El proceso de modulación implementado en cada baliza puede definirse por (1):

$$m[n] = \sum_{k=0}^{N_c \cdot M \cdot L - 1} x\left[\frac{k}{N_c \cdot M}\right] \cdot s[n - k] \quad (1)$$

Donde  $x[n]$  es la secuencia binaria usada en la codificación de la emisión (Gold, Kasami, etc.);  $L$  es la longitud de dicha secuencia; y  $s[n]$  es el símbolo formado por  $N_c$  periodos de la portadora, con una frecuencia  $f_c = 1/T_c$ .

Los parámetros previamente definidos deben configurarse en función de las distancias, y las características del espectro del transductor ultrasónico. El parámetro  $N_c$  es especialmente significativo, ya que al aumentar su valor se reduce el ancho de banda requerido para la emisión ultrasónica. Sin embargo, aumentar el valor de  $N_c$  también incrementa el intervalo de emisión, haciendo más complejo el proceso posterior de recepción.

#### 3.1. Plataforma de computación de la baliza

La baliza ultrasónica desarrollada está formada por un transductor ultrasónico Polaroid [18], y un módulo de control basado en una FPGA de Xilinx [19]. La tarjeta comercial de acondicionamiento del transductor ha sido modificada para permitir la emisión de cualquier señal binaria. La figura 3 muestra el diagrama de bloques de la plataforma de computación desarrollada, mientras que la figura 4 muestra el primer prototipo.

Dicha plataforma de computación puede dividirse en tres grandes bloques:

- Módulo central de proceso, basado en una FPGA.
- Bloque de conversión D/A, donde la señal digital a emitir generada en la FPGA es convertida y adaptada para la correcta excitación del transductor.



- Interfaces de los puertos de comunicación I2C y EPP, donde se implementan los respectivos protocolos de comunicación.

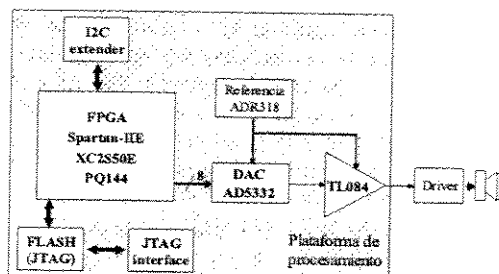


Figura 3. Diagrama de bloques de la plataforma de computación de cada baliza.

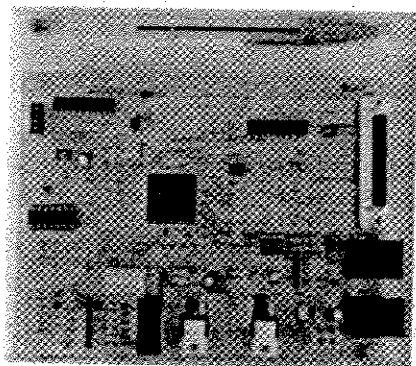


Figura 4. Vista general de la plataforma de computación para cada baliza.

#### 4. Módulo de control de cada baliza

El módulo de control del sistema se ha implementado en una FPGA XC2S50E de Xilinx [19]. El principal cometido es la implementación de un modulador BPSK y el control de los puertos de comunicación a través de los buses I2C y EPP, tal y como refleja su diagrama de bloques de la figura 5. Por lo tanto, el proceso de control puede dividirse en dos bloques principales: interfaces de comunicación y modulador BPSK.

##### 4.1. Interfaz de los puertos EPP e I2C

Dependiendo del tipo de baliza, maestra o esclava, las interfaces de comunicación tendrán diferentes

modos de operación. En el caso de la baliza maestra, la interfaz EPP se encarga de recibir del PC la configuración de todas las balizas del sistema, mientras que el bus I2C se encarga de transmitir dicha información al resto de balizas. Por el contrario, en las balizas esclavas el puerto EPP está deshabilitado, y es el bus I2C el utilizado para la recepción y transmisión de la configuración desde la maestra.

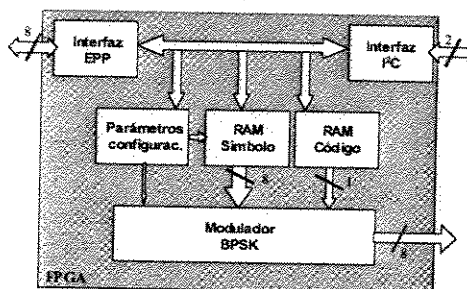


Figura 5. Diagrama de bloques del diseño implementado en la FPGA.

Ambas interfaces pueden modificar los registros de configuración o las memorias. Los registros de configuración contienen los parámetros de la modulación antes definidos: la longitud de la secuencia  $L$ , el valor de  $N_c$  y el número de muestras  $M$  de la portadora.

Las memorias RAM almacenan la secuencia binaria a emitir (Gold, Kasami, etc.) y un cuarto de periodo de la portadora (sinusoidal o cuadrada). Ambos dispositivos son de doble-puerto para permitir, por un lado, el acceso directo a las interfaces para escribir la secuencia binaria y portadora; y por otro lado, la lectura directa de los datos desde el modulador BPSK.

##### 4.2. Modulador BPSK

La modulación digital BPSK de la señal a emitir puede ser descrita en tres fases: recepción de parámetros, proceso de modulación y salida de datos. Como se ha mencionado anteriormente, el modulador BPSK tiene acceso directo a los registros de configuración, a la secuencia a emitir, así como al símbolo de la portadora. Para optimizar recursos del sistema se explota la simetría de la portadora almacenando en memoria solamente un cuarto del periodo. El máximo número de muestras considerado para representar

el símbolo inferior al utilizar las para el pr transmitir posteriorme portadora. muestras p definido po entre 8 y 25

El prop través de ur representada: Ésta consta la transmi los otros cu de periodo modulado.

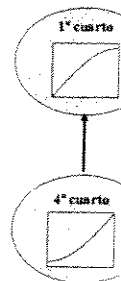


Figura 6. M: pr

Si guient el estado ini modular, y c reconstruye (para código código=0). por bit cor configuraci

El proce una señal m señal modul número má portadora se

#### 5. Resulta

Desde el pu la FPGA, c previamente

el símbolo ha sido 256, lo que asegura un error inferior al 1%. Sin embargo, no es necesario utilizar las 64 muestras almacenadas en memoria para el proceso de modulación; es suficiente transmitir un submúltiplo y extrapolar posteriormente para recomponer la señal portadora. Consecuentemente, el número de muestras para definir un periodo completo, definido por el parámetro  $M$ , puede tomar valores entre 8 y 256.

El propio proceso de modulación se realiza a través de una máquina de estados (FSM) como la representada esquemáticamente en la figura 6. Ésta consta de 5 estados. Un estado inicial indica la transmisión de un nuevo bit (1 ó 0), mientras los otros cuatro generan el correspondiente cuarto de periodo de la portadora para obtener el bit modulado.

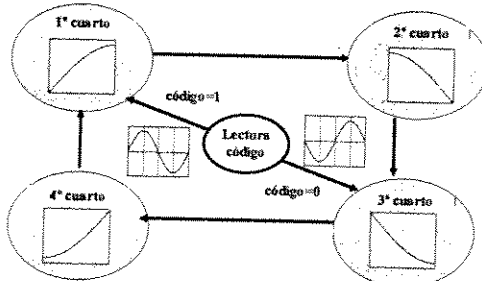


Figura 6. Máquina de estados para el control del proceso de modulación

Siguiendo los estados descritos en la figura 6, el estado inicial identifica el nuevo bit de código a modular, y dependiendo de su valor, el símbolo se reconstruye comenzando por el primer cuadrante (para código=1) o por el tercer cuadrante (para código=0). Dicho proceso se repite tantas veces por bit como se indique en el parámetro de configuración  $N_c$ .

El proceso de modulación descrito se rige por una señal maestra de reloj de 12.5MHz, ya que la señal modulada debe estar centrada en 50kHz y el número máximo de muestras por periodo de la portadora se ha fijado en 256.

## 5. Resultados

Desde el punto de vista de la implementación en la FPGA, cabe destacar que el diseño descrito previamente puede ser descargado en el modelo

más económico de las SpartanII de Xilinx [19]. La Tabla 1 muestra la utilización de recursos en la FPGA XC2S50E para el peor caso: baliza maestra con interfaces para el maestro I2C y el EPP. Por otro lado, la frecuencia máxima de operación soportada por el sistema es 64.3MHz, mayor que el valor ya establecido de 12.5MHz.

Tabla 4. Recursos empleados en la FPGA XC2S50E.

| Elementos lógicos | Utilización |
|-------------------|-------------|
| Slices            | 68%         |
| Flip-Flop Slices  | 41%         |
| Input LUT         | 60%         |
| RAM               | 50%         |
| Cell              | 78.2%       |

Algunas pruebas reales del sistema con un prototipo han permitido comprobar el correcto funcionamiento de las balizas. La figura 7 muestra la emisión resultante a partir de un código binario y una portadora cuadrada centrada en 50kHz, correspondiente a la baliza maestra y una esclava.

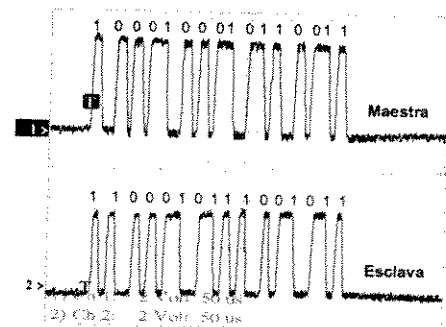


Figura 7. Captura de una señal  $m(t)$  emitida por la baliza ultrasónica maestra y una esclava.

## 6. Conclusiones

En este trabajo se ha presentado el diseño de una baliza ultrasónica, susceptible de ser instalada en un sistema de posicionamiento local. La implementación se ha realizado sobre una FPGA de bajo coste, permitiendo la codificación de la señal ultrasónica según las técnicas para emisión simultánea entre distintas balizas. El diseño habilita el enlace entre ellas, de forma que se realice el sincronismo del sistema, así como la configuración de los parámetros.

## Agradecimientos

Este trabajo ha sido posible gracias al Ministerio de Educación y Ciencia (PARMEI, ref. DPI2003-08715-C02-01) y a la Comunidad de Madrid (ANESUS, ref. CAM-UAH2005/016).

## Referencias

- [1] Hightower, J.; Borriello, G. "Location systems for ubiquitous computing", *IEEE Computer*, vol. 34, no. 8, pp. 57-66, 2001.
- [2] Navarro-Serment, L.; Grabowski, R.; Paredis, C.; Kohsla, P. "Milibots", *IEEE Robotics & Automation Magazine*, vol. 9, no. 4, pp. 31-40, 2002.
- [3] Want, R.; Hopper, A. "Active Badges and Personal Interactive Computing Objects", *IEEE Transactions on Consumer Electronics*, vol. 38, no. 1, pp. 10-20, 1992.
- [4] Harter, A.; Hopper, A. "A New Location Technique for the Active Office", *IEEE Personal Communications*, vol. 4, no. 5, pp. 42-47, 1997.
- [5] Balakrishnan, H.; Priyantha, N. "The Cricket Indoor Location System: experience and status", *WorkShop on Location-Aware computing (UBICOMP 2003)*, vol. 1, pp. 7-9, 2003.
- [6] Bahl, P.; Padmanabhan, V. "RADAR: An In-Building RF-based User Location and Tracking System", *INFOCOM 2000 Nineteenth Annual Joint Conference of the IEEE Computer and Communications Societies*, vol. 2, pp. 775-784, 2000.
- [7] Kleeman, L. "Optimal estimation of position and heading for mobile robots using ultrasonic beacons and dead-reckoning", *Proc. IEEE International Conference on Robotics and Automation*, pp. 2582-2587, Nice (France), 1992.
- [8] Hazas, M.; Ward, A. "A novel broadband ultrasonic location system", *Proc. of UbiComp 2002: Ubiquitous Computing*, pp. 264-280, Goteborg (Sweden), 2002.
- [9] Sonitor Technologies Inc., *Sonitor Ultrasound IPS (Indoor Positioning System)*, Technical documentation, 2005.
- [10] Aoyagi, S.; Noto, H.; Kishimoto, H.; Takano, M. "Development of a position and orientation localization system for an indoor mobile robot using non-directional ultrasonic sensors and radio frequency wireless communication", *J. of Precise Engineers*, vol. 66, no. 8, pp. 1241-1246, 2000.
- [11] Jörg, K.; Berg, M. "First results in eliminating crosstalk & noise by applying pseudo-random sequences to mobile robot sonar sensing", *Proc. of IEEE/RSJ Int. Conf. on Intelligent Robots and Systems (IROS'96)*, Osaka (Japan), pp. 292-297, 1996.
- [12] Shoval, S.; Borestein, J. "Using coded signals to benefit from ultrasonic sensor crosstalk in mobile robots obstacle avoidance", *Proc. 2001 IEEE Int. Conf. on Robotics and Automation (ICRA'01)*, pp. 2879-2884, Seoul (Korea), 2001.
- [13] Peremans, H.; Audenaert, K.; Van Campenhout, J.M. "A high resolution sensor based on tri-aural perception", *IEEE Trans. on Robotics and Automation*, vol. 9, no. 1, pp. 36-48, 1993.
- [14] Ureña, J.; Mazo, M.; García, J.J.; Hernández, A.; Bueno, E. "Classification of reflectors with an ultrasonic sensor for mobile robot applications", *Robotics and Autonomous Systems*, no. 29, pp. 269-279, 1999.
- [15] Hernández, A.; Ureña, J.; García, J.J.; Mazo, M.; Herranz, D.; Dérutin J.P.; Sérot, J. "Ultrasonic ranging sensor using simultaneous emissions from different transducers", *IEEE Trans. on Ultrasonics, Ferroelectrics and Frequency Control*, vol. 51, no. 12, pp. 1660-1670, 2004.
- [16] Gold, R. "Optimal binary sequences for spread spectrum multiplexing", *IEEE Trans. on Information Theory*, IT-13(4), pp. 619-621, 1967.
- [17] Villadangos, J.M.; Ureña, J.; Mazo, M.; Hernández, A.; Álvarez, F.; García, J.J.; De Marziani, C.; Alonso, D. "Improvement of Ultrasonic beacon-based Local Position System Using Multi-Access Techniques", *IEEE Int. Symposium on Intelligent Signal Processing (WISP'2005)*, Faro, pp. 352-357, 2005.
- [18] Polaroid Corporation, *600 Series. Instrument grade electrostatic transducers*, Technical specification, 1999.
- [19] Xilinx, Inc., *Spartan-II 2.5V FPGA family: functional description*, Product Specification, San José (CA), 2002.

**Resumen**  
sistema a  
asignación  
conocido c  
El sistem  
utilizando  
Generator  
implementa  
reconfigura

## 1. Introc

El model  
problema  
importanci  
sistema no  
trabajos p  
sistema [4  
desarrollar  
asignación  
elección ra  
por la rob  
polos dese  
conseguir  
oscilacione  
nulo. El  
desarrollado  
implementa  
lógicos rec

## 2. Model

El sistema  
capaz de ro  
giro de un  
problema d  
la bola en u



Grupo de Arquitectura de  
Computadores y Diseño Lógico  
Universidad de Extremadura



**UNIVERSIDAD DE  
EXTREMADURA**

 **JUNTA DE EXTREMADURA**

 **Consejería de Educación**



MINISTERIO  
DE EDUCACIÓN  
Y CIENCIA



AYUNTAMIENTO  
DE CÁCERES



ISBN-10 - 84-611-1315-2